

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-253372

(43)Date of publication of application : 09.09.1992

(51)Int.Cl.

H01L 27/118

H01L 21/027

H01L 27/088

(21)Application number : 03-031801

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 29.01.1991

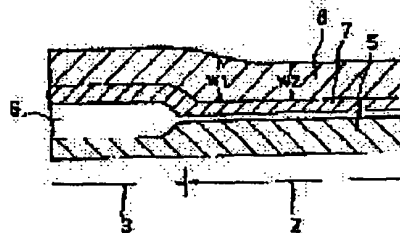
(72)Inventor : YAMAGUCHI SUMIO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable a semiconductor device for performing an improved circuit operation with a desired uniform gate array portion to be formed by providing a dummy pattern region at a peripheral portion of a gate array region.

CONSTITUTION: A resist film thickness (W1) at a boundary portion between a gate array region 2 and a separation region 3 and a resist film thickness (W2) at a portion of a gate array region 2 differ and a finishing shape of a gate electrode after patterning is different. Therefore, a difference in gate electrode shape becomes one factor of circuit operation abnormality. Therefore, a peripheral portion of a gate array region where the resist film thickness is not uniform is not used for forming a circuit and becomes a dummy pattern region 4. In this manner, by providing a dummy pattern region 4, a semiconductor element where the gate array region 2 is uniform can be used, thus forming a semiconductor device where an improved circuit operation can be performed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-253372

(43) 公開日 平成4年(1992)9月9日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/118

21/027

27/088

7638-4M

7352-4M

H 0 1 L 21/82

21/30

M

3 6 1 Z

審査請求 未請求 請求項の数 1 (全 5 頁) 最終頁に続く

(21) 出願番号 特願平3-31801
(22) 出願日 平成3年(1991)1月29日

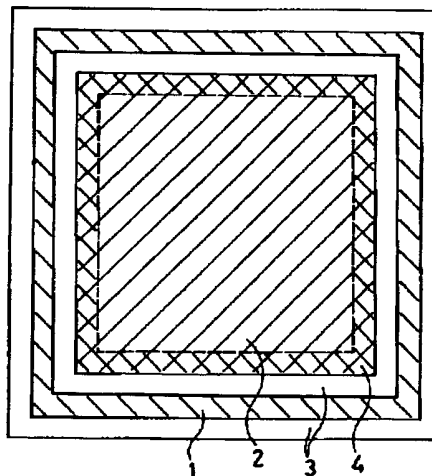
(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72) 発明者 山口 澄夫
兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社エル・エス・アイ研究所内
(74) 代理人 弁理士 早瀬 憲一

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 均一なゲートアレイ部を使用して、良好な回路動作が行える半導体装置を形成し、半導体装置の微細化、信頼性の向上を図る。

【構成】 ゲートパターンニングにおけるレジスト膜厚が不均一であるゲートアレイ領域2の周辺部にダミーパターン領域4を設ける。



1: 入出力回路領域

2: ゲートアレイ領域

3: 分離領域

4: ダミーパターン領域

【特許請求の範囲】

【請求項1】 ゲートアレ領域および入出力回路領域を備えた半導体装置において、上記ゲートアレ領域の周辺部にダミーパターン領域を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置に関し、特にマスタースライス方式の半導体集積回路装置に関するものである。

【0002】

【従来の技術】 半導体装置が高集積化されるにつれ、その中に形成されるパターンの微細化とともに、設計上のパターンとウェハ上に形成されているパターンの相違が、良好な回路動作を行う半導体素子形成を行う上で重要な問題となっている。

【0003】 図2は従来のマスタースライス方式の半導体装置を示す図である。図に示すように、この半導体装置は、周辺部に形成された入出力回路領域1、中央部に形成されたゲートアレ領域2、及び該両者間及び上記入出力回路領域1の外側に形成された分離領域3を有するよう構成されている。図3は従来の半導体装置の形成過程の一過程を示す図であり、ゲート形成におけるゲートアレ領域2と分離領域3境界の断面を表している。図において、5はシリコン基板、6はシリコン酸化膜、7はゲート電極となる膜、8はパターニングのためのレジストである。

【0004】 シリコン基板5の一部であるゲートアレ領域2およびシリコン酸化膜6よりなる分離領域3の上にゲート電極となる膜7が堆積され、さらにパターニングのためのレジスト8が塗布されている。この場合、ゲートアレ領域2と分離領域3境界部のレジスト膜厚(W1)とゲートアレ領域2部のレジスト膜厚(W2)が異なり、パターニング後のゲート電極の仕上がり形状が異なってくる。そのため、ゲート電極形状の相違が回路動作異常の一因となる。特に、ゲート電極長の微細化により該ゲート電極長がハーフミクロン以下のデバイスになるとゲートアレ領域2周辺のトランジスタが完全不良となる場合も生じ、ゲート形成の均一性が重要な問題となる。

【0005】

【発明が解決しようとする課題】 従来の半導体装置は以上のように構成されているので、マスタースライス方式のゲートアレ構造でゲート形成におけるパターニングの際、レジスト膜厚の不均一性のためにゲートアレ周辺のゲート長が中央部のものと異なり、トランジスタ性能の差異が良好な回路動作実現の妨げになるという問題点があった。

【0006】 この発明は上記のような問題点を解消するためになされたもので、所望の半導体装置の微細化が可

能で、信頼性の向上が図れる半導体装置を得ることを目的とする。

【0007】

【課題を解決するための手段】 この発明にかかる半導体装置は、ゲートアレ領域および入出力回路領域を備えたものにおいて、上記ゲートアレ領域の周辺部にダミーパターン領域を有することを特徴とするものである。

【0008】

【作用】 この発明における半導体装置は、ゲートアレ領域の周辺部にダミーパターン領域を有することにより、ゲートアレ領域が均一に形成され、従来と同程度の駆動能力を維持し、半導体装置の微細化および信頼性向上を図ることができる。

【0009】

【実施例】 図1はこの発明の一実施例による半導体装置を示す図であり、図において、1は半導体装置の周辺部に形成された入出力回路領域である。2はゲートアレ領域で、上記入出力回路1とは分離領域3によって相互に分離されている。3は分離領域、4はダミーパターン領域である。図4はこの発明の一実施例の半導体装置の形成過程の一過程を示す図であり、図3と同一符号は同一部分を示す。

【0010】 図4において、図3での説明と同様、ゲートアレ領域2と分離領域3境界部のレジスト膜厚(W1)とゲートアレ領域2部のレジスト膜厚(W2)が異なり、パターニング後のゲート電極の仕上がり形状が異なってくる。そのため、ゲート電極形状の相違が回路動作異常の一因となる。そこで、レジスト膜厚が均一でないゲートアレ領域の周辺部は、回路形成にあたっては使用せず、ダミーパターン領域4とするのである。このように、レジスト膜厚が均一でない領域を回路形成に使用しないことによって、ゲート形成の均一性が保証され、不良トランジスタが発生する恐れがなくなる。

【0011】 このように、この実施例によれば、ダミーパターン領域4を有することによりゲートアレ領域2が均一である半導体素子を使用することができ、良好な回路動作が行える半導体装置を形成することができる。

【0012】 なお、上記実施例では、CMOS型トランジスタを有する半導体装置の他、Bi-CMOS型トランジスタなどを有する半導体装置にも採用することができ、上記実施例と同様の効果を奏する。

【0013】

【発明の効果】 以上のようにこの発明によれば、ゲートアレ領域の周辺部にダミーパターン領域を有することにより、所望の均一なゲートアレ部を使用して良好な回路動作が行える半導体装置を形成することができ、半導体装置の微細化、信頼性向上を図ることができるという効果がある。

【図面の簡単な説明】

【図1】 この発明の一実施例の半導体装置を示す図であ

3

4

る。

【図2】従来の半導体装置を示す図である。

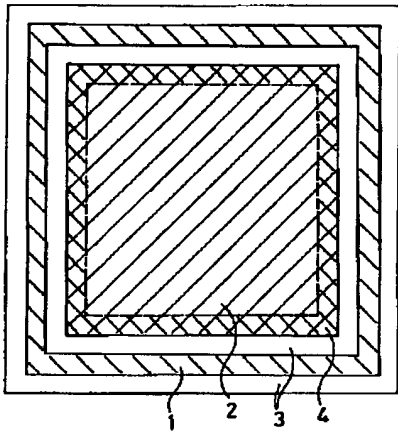
【図3】従来の半導体装置の形成の一過程を示す断面図である。

【図4】この発明の一実施例の半導体装置の形成の一過程を示す断面図である。

【符号の説明】

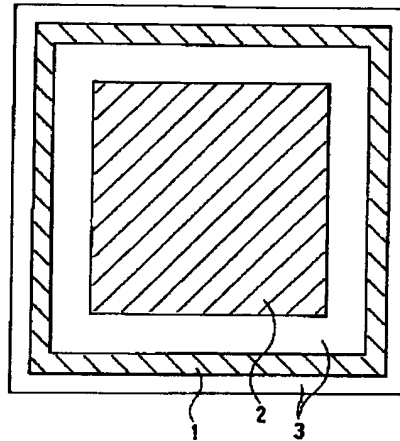
- 1 入出力回路領域
- 2 ゲートアレイ領域
- 3 分離領域
- 4 ダミーパターン領域

【図1】



- 1: 入出力回路領域
- 2: ゲートアレイ領域
- 3: 分離領域
- 4: ダミーパターン領域

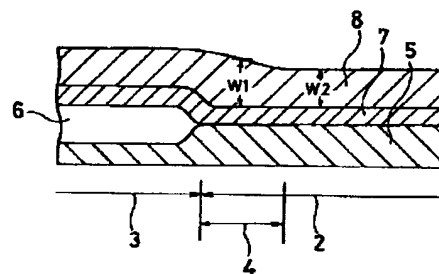
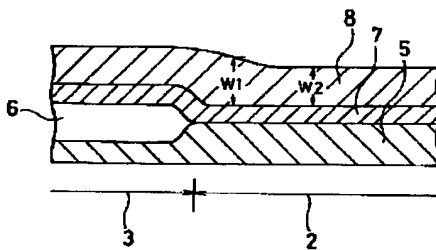
【図2】



- 1: 入出力回路領域
- 2: ゲートアレイ領域
- 3: 分離領域

【図4】

【図3】



【手続補正書】

【提出日】平成3年11月19日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】図3は従来のマスタースライス方式の半導体装置を示す図である。図に示すように、この半導体装置は、周辺部に形成された入出力回路領域1、中央部に

形成されたゲートアレイ領域2、及び該両者間及び上記入出力回路領域1の外側に形成された分離領域3を有するよう構成されている。図4は従来の半導体装置の形成過程の一過程を示す図であり、ゲート形成におけるゲートアレイ領域2と分離領域3境界の断面を表している。図において、5はシリコン基板、6はシリコン酸化膜、7はゲート電極となる膜、8はパターニングのためのレジストである。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】ゲートアレイ領域2およびシリコン酸化膜6よりなる分離領域3の上にゲート電極となる膜7が堆積され、さらにパターニングのためのレジスト8が塗布されている。この場合、ゲートアレイ領域2と分離領域3境界部のレジスト膜厚(W1)とゲートアレイ領域2部のレジスト膜厚(W2)が異なり、パターニング後のゲート電極の仕上がり形状が異なってくる。そのため、ゲート電極形状の相違が回路動作異常の一因となる。特に、ゲート電極長の微細化により該ゲート電極長がハーフミクロン以下のデバイスになるとゲートアレイ領域2周辺のトランジスタが完全不良となる場合も生じ、ゲート形成の均一性が重要な問題となる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】図2において、図4での説明と同様、ゲートアレイ領域2と分離領域3境界部のレジスト膜厚(W1)とゲートアレイ領域2部のレジスト膜厚(W2)が異なり、パターニング後のゲート電極の仕上がり形状が異なってくる。そのため、ゲート電極形状の相違が回路動作異常の一因となる。そこで、レジスト膜厚が均一でないゲートアレイ領域の周辺部は、回路形成にあたっては使用せず、ダミーパターン領域4とするのである。このように、レジスト膜厚が均一でない領域を回路形成に使用しないことによって、ゲート形成の均一性が保証され、不良トランジスタが発生する恐れがなくなる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】この発明の一実施例の半導体装置の形成の一過程を示す断面図である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】従来の半導体装置を示す図である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】従来の半導体装置の形成の一過程を示す断面図である。

【手続補正7】

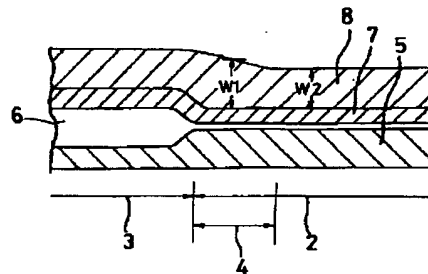
【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



【手続補正8】

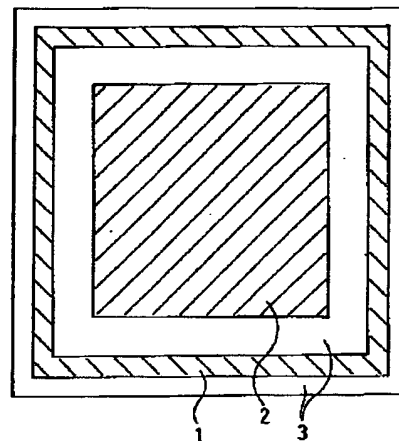
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】



1: 出力回路領域

2: ゲートアレイ領域

3: 分離領域

【手続補正9】

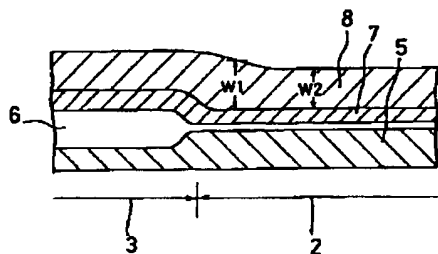
【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】



フロントページの続き

(51) Int. Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

7342-4M

H 0 1 L 27/08

1 0 2 G